

## HIGH EFFICIENCY NON-VOLATILE EPROM AND EEPROM

**Publication number:** JP57050476 (A)

**Publication date:** 1982-03-24

**Inventor(s):** ERIYAHO HARARI

**Applicant(s):** HARARI ELIYAHOU

**Classification:**

- **international:** H01L27/112; H01L21/8246; H01L21/8247; H01L27/10;  
H01L29/788; H01L29/792; H01L27/112; H01L21/70;  
H01L27/10; H01L29/66; (IPC1-7): G11C11/40; G11C17/00;  
H01L27/10; H01L29/78

- **European:** H01L29/788B6B

**Application number:** JP19810109538 19810715

**Priority number(s):** US19800184739 19800908

**Also published as:**

JP1030315 (B)

JP1551381 (C)

DE3117719 (A1)

Abstract not available for JP 57050476 (A)

Abstract of corresponding document: DE 3117719 (A1)

The floating gate in an N-channel EPROM cell extends over the drain diffusion region and over a part of the channel to form a "drain" capacitance between the drain and the floating gate and a "channel" capacitance between the channel and the floating gate. A control gate overlaps the floating gate and extends over the remainder of the channel close to the source diffusion region to form a "control" capacitance between the channel and the control gate. These three capacitances form the coupling for driving each cell. The inversion region in the channel directly underneath the control gate is reached directly by a "write or read access" voltage, which is applied to the control gate.; The inversion region in the channel directly underneath the floating gate is reached directly through the drain and control capacitances and the channel capacitance by the control gate voltage and by another write access voltage, which is applied to the drain. The drain voltage is namely coupled to the section of the channel next to the drain through the series drive circuit which is formed by the drain capacitance and the channel capacitance. During writing, hot electrons from the write channel current are directed and injected into the floating gate through the transverse electric field between the floating gate and the channel lying thereunder. Stored injection charging on the floating gate increases the conductive state threshold of the programmed cell, the cell remaining non-conducting during reading, when customary or low access voltages are applied to the control gate.; An unprogrammed cell conducts in a way dependent on the low read voltages which are applied to its control gate and to the drain drive circuit. The cell is erased either by ultraviolet illumination or by electrons from the floating gate which tunnel through a region of dilute oxide. The asymmetric arrangement of control gate and floating gate with respect to source and drain makes it possible for the arrangement to be very compact.

Data supplied from the **esp@cenet** database — Worldwide

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑩ 公開特許公報 (A)

昭57-50476

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
G 11 C 11/40  
17/00  
H 01 L 27/10

識別記号  
I 0 1  
I 0 1

府内整理番号  
7514-5F  
6549-5B  
6549-5B  
6749-5F

⑬ 公開 昭和57年(1982)3月24日  
発明の数 9  
審査請求 有

(全23頁)

⑭ 高効率の不揮発性EPROM及びEEPROM  
M

アメリカ合衆国カリフォルニア  
94022ロス・アルトス・フリア  
ーズ・レーン2320

⑮ 特願 昭56-109538  
⑯ 出願 昭56(1981)7月15日  
優先権主張 ⑰ 1980年9月8日⑯米国(US)  
⑱ 184739  
⑲ 発明者 エリヤホ・ハラリ

⑳ 出願人 エリヤホ・ハラリ  
アメリカ合衆国カリフォルニア  
94022ロス・アルトス・フリア  
ーズ・レーン2320  
㉑ 代理人 弁理士 小橋一男 外1名

明細書

1. 発明の名称

高効率の不揮発性EPROM及びEEPROM

2. 等許請求の範囲

1. 複数個のメモリセルを有する半導体メモリ装置に於いて、各メモリセルはソース領域と、ドレイン領域と、それらの間のチャンネル領域とを有し、本装置のフィールドは該フィールドの1部の上にのみ形成したチャンネルストップ領域を有し前記メモリセルと該フィールドとの間の容量を減少させていることを特徴とする半導体メモリ装置。
2. 上記第1項に於いて、前記チャンネルストップ領域は選定した数のソース・ドレイン領域の各々の両側の1方にのみ直接隣接して形成し、各チャンネルストップ領域とその隣接ソース・ドレイン領域との間の接合容量を減少させていることを特徴とする半導体メモリ装置。
3. 半導体物質内に形成された半導体メモリ装

置で、前記半導体物質の上面の1部にメモリセル及びアクセス回路が形成され、メモリセル及びアクセス回路が形成されていない上面部分には本装置のフィールドが形成されている半導体メモリ装置に於いて、前記半導体物質内に形成して複数個のソース・ドレイン領域を設け、その間にソース領域とドレイン領域とそれらの間のチャンネル領域とでメモリセルを形成し、各メモリセルは、前記チャンネル領域の1部の上方にゲート絶縁層で絶縁して位置させると共に前記ドレイン領域の1部の上方に絶縁して位置させたフローティングゲートと、前記フローティングゲート及び該フローティングゲートで被覆されていない前記チャンネル領域部分の両方の上方に絶縁して延在された制御ゲートとを有し、又前記半導体物質の不純物と同じ導電型の不純物で本装置の前記フィールドをより高いドーピング濃度とし、尚このより高いドーピング濃度は隣接する制御ゲート及び隣接するソース・

(1)

(2)

ドレイン領域で囲まれた本装置のフィールド部分に形成して漏れ電流路に対する保護を図つたことを特徴とする半導体メモリ装置。

4. 上記第3項に於いて、前記半導体物質内の不純物よりも高いドーピング濃度を有する前記フィールド内の不純物がボロンであることを特徴とする半導体メモリ装置。
5. 上記第4項に於いて、前記ボロンは約  $1 \times 10^{13}$  乃至  $5 \times 10^{13}$  原子数/ $\text{cm}^2$  の範囲内にあることを特徴とする半導体メモリ装置。
6. 上記第3項に於いて、選定した数のソース・ドレイン領域の各々は、1つのメモリセルのソースとして機能しかつ別のメモリセルのドレインとして機能することを特徴とする半導体メモリ装置。
7. 上記第3項に於いて、前記半導体物質内の不純物よりも高いドーピング濃度を有する前記フィールド内の不純物が  $10^{12}$  乃至  $10^{13}$  不純物原子数/ $\text{cm}^2$  の表面濃度に形成されていることを特徴とする半導体メモリ装置。

(3)

## 導体メモリ装置。

12. 上記第3項に於いて、前記メモリセルはN型基板中にボロンを選択拡散させて形成したPウェル内に形成したこととを特徴とする半導体メモリ装置。
13. 上記第12項に於いて、前記Pウェルは  $1 \times 10^{11}$  乃至  $1 \times 10^{12}$   $\text{cm}^{-3}$  の範囲内にP型にドープされており、前記N型基板は  $3 \times 10^{14}$  乃至  $1 \times 10^{15}$   $\text{cm}^{-3}$  の範囲内にN型にドープされていることを特徴とする半導体メモリ装置。
14. 半導体物質内に形成された半導体メモリ装置で、前記半導体物質の上面の1部にメモリセル及びアクセス回路が形成され、メモリセル及びアクセス回路が形成されていない上面部分には本装置のフィールドが形成されている半導体メモリ装置に於いて、前記半導体物質内に形成して複数個のソース・ドレイン領域を設け、その間にソース領域とドレイン領域とそれらの間のチャンネル領域とでメモリ

(5)

特開昭57-50476(2)

8. 上記第3項に於いて、前記制御ゲートは、二酸化シリコン層とその上に酸化シリコン層を積層形成した複合層によつて、前記フローティングゲート及び該フローティングゲートで被覆されていないチャンネル領域部分から絶縁されていることを特徴とする半導体メモリ装置。
9. 上記第8項に於いて、前記二酸化シリコン層は約50乃至500Åの間の厚さで、前記酸化シリコン層は約100乃至800Åの間の厚さであることを特徴とする半導体メモリ装置。
10. 上記第3項に於いて、前記チャンネル領域部分と前記フローティングゲートとの間の前記ゲート絶縁層は選択的に薄くした領域を有することを特徴とする半導体メモリ装置。
11. 上記第10項に於いて、前記ゲート絶縁層の選択的に薄くした領域は約50乃至250Åの間の厚さを有し、前記ゲート絶縁層は二酸化シリコン及び酸化シリコンから成る絶縁体の群から選定されることを特徴とする半

(4)

セルを形成し、各メモリセルは、前記チャンネル領域の1部の上方にゲート絶縁層で絶縁して位置すると共に前記ドレイン領域の1部の上方に絶縁して位置させたフローティングゲートと、前記フローティングゲート及び該フローティングゲートで被覆されていない前記チャンネル領域部分の両方の上方に絶縁して延在された制御ゲートとを有し、又前記半導体物質の不純物と同じ導電型の不純物で本装置の前記フィールドをより高いドーピング濃度とし、尚このより高いドーピング濃度は隣接する制御ゲート及び導電性物質から成り各細胞部が個々のフローティングゲート内にエンチャージされる前にフローティングゲートが形成される隣接細胞部で囲まれた本装置のフィールド部分に形成し、本装置のフィールド全体により高いドーピング濃度を形成した場合の整合容量と比較してソース・ドレイン領域とチャンネル領域及びフィールドとの間の整合容量を実質的に減少させることを特徴とする

(6)

## 半導体メモリ装置。

15. 上記第14項に於いて、前記半導体物質内の不純物よりも高いドーピング濃度を有する前記フィールド内の不純物はボロンであることを特徴とする半導体メモリ装置。
16. 上記第15項に於いて、前記ボロンは約 $1 \times 10^{15}$ 乃至 $5 \times 10^{15}$ 原子数/ $\text{cm}^3$ の範囲内にあることを特徴とする半導体メモリ装置。
17. 上記第14項に於いて、選定した数のソース・ドレイン領域の各々は、1つのメモリセルのソースとして機能しかつ別のメモリセルのドレインとして機能することを特徴とする半導体メモリ装置。
18. 上記第14項に於いて、各ソース・ドレイン領域と前記チャンネル領域及び本装置のフィールドとの間の接合容量は、本装置のフィールドの全体に前記より高いドーピング濃度を形成した場合の接合容量と比較して約半分に減少されていることを特徴とする半導体メモリ装置。

(7)

に選択的に薄くした領域を有することを特徴とする半導体メモリ装置。

23. 上記第22項に於いて、前記ゲート絶縁層の選択的に薄くした領域は約50乃至250Åの間の厚さを有し、前記ゲート絶縁層は二酸化シリコン及び塗化シリコンから成る絶縁体の群から選定されることを特徴とする半導体メモリ装置。
24. 上記第14項に於いて、前記メモリセルをN型基板内にボロンを選択拡散して形成したPウェル内に形成したことを見出する半導体メモリ装置。
25. 上記第24項に於いて、前記Pウェルは $1 \times 10^{15}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$ の範囲内にP型でドープされており、前記N型基板は $3 \times 10^{14}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$ の範囲内にドープされていることを特徴とする半導体メモリ装置。
26. 複数個の細条部状ソース・ドレイン領域を有し、隣接するソース・ドレイン領域間のフィールド内にチャンネルストッパーを形成し

(8)

## 特開昭57-50476(3)

19. 上記第14項に於いて、前記半導体物質内の不純物よりも高いドーピング濃度を有する前記フィールド内の不純物が $10^{12}$ 乃至 $10^{15}$ 不純物原子数/ $\text{cm}^3$ の表面濃度に形成されていることを特徴とする半導体メモリ装置。
20. 上記第14項に於いて、前記制御ゲートは、二酸化シリコン層及び塗化シリコン層を有する絶縁層によつて、前記フローティングゲート及び放電ゲートで被覆されていないチャンネル領域部分から絕縁されていることを特徴とする半導体メモリ装置。
21. 上記第20項に於いて、前記二酸化シリコンは約50乃至500Åの間の厚さを有し、前記塗化シリコンは約100乃至800Åの間の厚さを有することを見出する半導体メモリ装置。
22. 上記第14項に於いて、前記フローティング・ゲートと前記チャンネル領域の1部との間の前記ゲート絶縁層は前記フローティング・ゲートで並置された前記チャンネルの領域上

(8)

元半導体メモリの製造方法に於いて、各チャンネルストッパー領域を対応する1つのソース・ドレイン領域にのみ直接露呈させて形成する工程を有し、その際に各チャンネルストッパー領域とそれに隣接する2つのソース・ドレイン領域との間の接合容量を減少させることを見出する半導体メモリの製造方法。

27. シリコン基板上にマスキング酸化物層を選定厚さに形成し、前記酸化物層に長尺細条部形狀を有し下層基板に達する感を達成し、前記窓を介して前記基板内に選定不純物を導入して複数個のソース・ドレイン領域を形成し、前記窓内で前記基板を選定厚さに酸化させて後の工程で使用する為にシリコンに段部を形成し、前記基板から全ての酸化物を除去し、前記基板の表面上に選定厚さのゲート絶縁層を形成し、前記ゲート絶縁層上に選定厚のポリシリコンを形成し、前記ポリシリコンを選定不純物で選定導電型にドープし、前記ドープしたポリシリコンを複数個の第1細条部に

(9)

形成し、その際、各細条部は唯一の対応するソース。ドレイン領域に並設され該領域の1部の直上に延在すると共に該ソース。ドレイン領域に隣接した半導体基板の1部の上方にも延在する如くなし、各ポリシリコン細条部の露出表面上に選定厚さの絶縁層を形成し、前記絶縁層上に選定厚さの第2導電層を形成し、前記ソース。ドレイン領域と並設して前に形成した複数個の第1細条部と実質的に直交する複数個の第2細条部を前記第2導電層から形成し、前記複数個の第1細条部及び第2細条部で被覆されていない前記半導体基板の部分に選定不純物を注入して本装置のフィールド内にチャンネルストップ領域を形成する各工程を有することを特徴とする半導体装置の製造方法。

28. 上記第27項に於いて、本装置のフィールド内の前記不純物は、約 $1 \times 10^{13}$ 乃至 $5 \times 10^{13}$ 原子数/ $\text{cm}^2$ の表面濃度でボロンを注入することによつて形成することを特徴とする

01

## 偏の製造方法。

32. 上記第27項に於いて、各ポリシリコン細条部の露出表面上に選定厚さの絶縁層を形成する前記工程で、本構造体を酸化して各ポリシリコン細条部の露出表面上に選定厚さの酸化物層を形成し、かく形成した酸化物層上に選定厚さの電離シリコン層を形成することを特徴とする半導体装置の製造方法。

33. 上記第32項に於いて、前記酸化物層は約5.0乃至500Åの間の厚さに形成し、前記酸化シリコン層は約100乃至800Åの間の厚さに形成することを特徴とする半導体装置の製造方法。

34. 上記第27項に於いて、前記メモリセルをN型基板内にボロンを選択拡散させて形成しPウェル内に形成することを特徴とする半導体装置の製造方法。

35. シリコン基板上にマスキンタ酸化物層を選定厚さに形成し、前記酸化物層に長尺細条形状を有し下層基板に達する窓を穿設し、前記

03

特開昭57-50476(4)

## 半導体装置の製造方法。

29. 上記第27項に於いて、前記複数個の第1細条部はポリシリコンであり、前記複数個の第2細条部もポリシリコンであることを特徴とする半導体装置の製造方法。
30. 上記第27項に於いて、本装置の前記フィールド内に注入される前記不純物は前記第1及び第2ポリシリコン層の補完領域に自動的に自己整合され、ドレイン及びゲート電極に印加される高書き込み電圧でフィールド反転が発生することを防止し、又各フローティングゲートのチャンネル領域端部でチャンネルドーピングを向上させて書き込み効率を上昇させたことを特徴とする半導体装置の製造方法。
31. 上記第27項に於いて、各ポリシリコン細条部の露出表面上に選定厚さの絶縁層を形成する前記工程で、本構造体を酸化して各ポリシリコン細条部の露出表面上に選定厚さの酸化物層を形成することを特徴とする半導体裝

02

態を介して前記基板内に選定不純物を導入して複数個のソース。ドレイン領域を形成し、前記窓内で前記基板を選定厚さに酸化させて後の工程で使用する為にシリコン段部を形成し、前記基板から全ての酸化物を除去し、前記基板の裏面上に選定厚さのゲート酸化物層を形成し、前記ゲート酸化物層上に選定厚さのポリシリコンを形成し、前記ポリシリコンを選定不純物で選定導電型にドープし、前記ドープしたポリシリコンを複数個の第1細条部に形成し、その際、各細条部は唯一の対応するソース。ドレイン領域に並設され該領域の1部の直上に延在すると共に該ソース。ドレイン領域に隣接した半導体基板の1部の上方にも延在する如くなし、その結果得られた構造体を酸化して各ポリシリコン細条部の露出表面上に選定厚さの酸化物層を形成し、前記酸化物層上に選定厚さの第2導電層を形成し、前記ソース。ドレイン領域と並設して前に形成した複数個の第1細条部と実質的に

04

直交する複数個の第2細条部を前記第2導電層から形成し、前記複数個の第1細条部の部分で前記複数個の第2細条部の下方に無い部分を除去し、前記複数個の第1細条部で被覆されていかない前記半導体基板の部分に選定不純物を注入して本装置のフィールド内にチャンネルストップ領域を形成する各工程を有することを特徴とする半導体装置の製造方法。

36. 上記第35項に於いて、本装置のフィールド内の前記不純物は、約 $1 \times 10^{16}$ 乃至 $5 \times 10^{17}$ 原子数/ $\text{cm}^3$ の表面濃度にボロンを注入して形成することを特徴とする半導体装置の製造方法。
37. 上記第35項に於いて、前記複数個の第1細条部はポリシリコンで、前記複数個の第2細条部もポリシリコンであることを特徴とする半導体装置の製造方法。
38. 上記第35項に於いて、本装置の前記フィールド内に注入される前記不純物は前記複数個の第1細条部の補完領域に自動的に自己整

09

に直接隣接して各チャンネルストップ領域を形成し、ドレイン及びゲート電極に印加される高書き込み電圧でフィールド反転が発生することを防止し、かつ隣接ゲート下方のチャンネル領域端部でチャンネルドーピングを向上させて各メモリセルの書き込み効率を上昇させる工程を有することを特徴とする半導体メモリの製造方法。

41. シリコン基板上のマスキング用二酸化シリコン導層の上にマスキング用氧化シリコンを形成し、前記空化シリコン及び二酸化シリコンに長尺細条形状を有し下層基板に達する窓を開口し、前記窓を介して前記基板内に選定不純物を導入して複数個のソース・ドレイン領域を形成し、前記基板内の前記露出した細条部を選定厚さに硬化して前記ソース・ドレイン領域上のフローテイングゲート部分に対するゲート絶縁層を形成し、前記マスキング用氧化シリコンを除去しつつ短い酸化物エッチングを行なつて前記マスキング用二酸化シリ

07

合され、ドレイン及びゲート電極に印加される高書き込み電圧でフィールド反転が発生することを防止し、又各フローテイングゲート下方のチャンネル領域端部でチャンネルドーピングを向上させて各メモリセルの書き込み効率を上昇させたことを特徴とする半導体装置の製造方法。

39. 上記第35項に於いて、N型基板内にメロンを選択拡散させて形成したドウエル内に前記メモリセルを形成したことを特徴とする半導体装置の製造方法。
40. 半導体メモリが複数個の細条形状をしたソース・ドレイン領域を有し、隣接するソース・ドレイン領域間の当該メモリのフィールド内にチャンネルストップを形成し、前記ソース・ドレイン領域に実質的に直交し当該メモリ内のゲートとして機能する複数個の導電性細条部を形成した半導体メモリの製造方法に於いて、前記複数個の導電性細条部の形成の後に対応する2つのソース・ドレイン領域

08

リコン層のみを除去する一方前記ソース・ドレイン領域上に成長させた前記ゲート絶縁層の実質的に大部分を未エッチングのまま残し、前記工程でチャンネル上に露出させたシリコン領域内に選定厚さのゲート絶縁層を形成し、前記ゲート絶縁層上にポリシリコンを選定厚さに形成し、前記ポリシリコンを選定不純物で選定導電型にドープし、前記ドープしたポリシリコンを複数個の第1細条部に形成し、その際に、各細条部は唯一の対応するソース・ドレイン領域に並設された該領域の1部の直接上方に存在すると共に該ソース・ドレイン領域に隣接した半導体基板の1部の上方にも存在する如くなし、各ポリシリコン細条部の露出表面上に選定厚さの絶縁層を形成し、前記絶縁層上に選定厚さの第2導電層を形成し、前記ソース・ドレイン領域と平行に並に形成した複数個の第2細条部と実質的に直交する複数個の第2細条部を前記第2導電層から形成し、前記複数個の第1細条部及び

09

第2細糸部で被覆されていない前記半導体基板の部分に選定不純物を注入して本装置のフィールド内にチャンネルストップ領域を形成する各工程を有することを特徴とする半導体装置の製造方法。

42. 上記第41項に於いて、前記ソース・ドレイン領域上の前記ゲート絶縁層は250乃至6,000Åの厚さを有する熱酸化成長させた二酸化シリコンから形成したことを特徴とする半導体装置の製造方法。
43. 上記第41項に於いて、前記チャンネル領域上の前記ゲート絶縁層は約50乃至500Åの厚さを有し、前記ゲート絶縁層は二酸化シリコン及び氧化シリコンを有する絶縁体の群から選定して構成することを特徴とする半導体装置の製造方法。
44. 上記第41項に於いて、前記チャンネル上の前記ゲート絶縁層の部分は全側面が厚手の熱酸化膜で囲まれており、前記チャンネル領域上の前記ゲート絶縁層の部分への電子的ト

19

前記ポリシリコンを選定不純物で選定導電型にドープし、前記ドープしたポリシリコンを複数個の第1細糸部に形成し、その際に、各細糸部は唯一の対応するソース・ドレイン領域に平行で該領域の1部の直接上方に延在すると共に該ソース・ドレイン領域に隣接した半導体基板の1部の上方に延在する如くなし、その結果得られた構造体を酸化して各ポリシリコン細糸部の露出表面上に選定厚さの酸化物層を形成し、第2導電層を選定厚さに形成し、前記ソース・ドレイン領域と平行に前に形成した複数個の第1細糸部と実質的に直交する複数個の第2細糸部を前記第2導電層から形成し、前記複数個の第1細糸部の部分で前記複数個の第2細糸部の下方に無い部分を除去し、前記複数個の第1細糸部で被覆されていない前記半導体基板の部分に選定不純物を注入して本装置のフィールド内にチャンネルストップ領域を形成する各工程を有することを特徴とする半導体装置の製造方法。

20

特開昭57-50476(6)  
ノル動作を抑制することを特徴とする半導体装置の製造方法。

45. マスキング用二酸化シリコン薄層の上にマスキング用塗化シリコンを形成し、前記塗化シリコン及び二酸化シリコンに長尺細糸形状を有し下層基板に達する窓を開口し、前記窓を介して前記基板内に選定不純物を導入して複数個のソース・ドレイン領域を形成し、前記基板内の前記露出した細糸部を選定厚さに酸化して前記ソース・ドレイン領域上のプローティングゲート部分に対するゲート絶縁層を形成し、前記マスキング用塗化シリコンを除去しつつ細い酸化エッジングを行なつて前記マスキング用二酸化シリコン薄層のみを除去する一方前記ソース・ドレイン領域上に成長させた前記ゲート絶縁層の実質的に大部分を未エッジングのまま残し、前の工程でチャンネル上に露出させたシリコン領域内に選定厚さのゲート絶縁層を形成し、前記ゲート絶縁層上にポリシリコンを選定厚さに形成し、

20

46. 上記第45項に於いて、前記ソース・ドレイン領域上の前記ゲート絶縁層は250乃至6,000Åの範囲の厚さを有する熱酸化により形成された二酸化シリコンを有することを特徴とする半導体装置の製造方法。

47. 上記第45項に於いて、前記チャンネル領域上の前記ゲート絶縁層は約50乃至500Åの厚さを有し、前記ゲート絶縁層は二酸化シリコン及び氧化シリコンを有する絶縁体の群から選定して構成することを特徴とする半導体装置の製造方法。

48. 上記第45項に於いて、前記チャンネル上の前記ゲート絶縁層の部分は全側面が厚手の熱酸化膜で囲まれており、前記チャンネル領域上の前記ゲート絶縁層の部分への電子的トンネル動作を抑制することを特徴とする半導体装置の製造方法。

### 3. 発明の詳細な説明

本発明は不揮発性EPROM(消去及び再書き込み可能な読み出し専用メモリ)及びEEPROM

21

(電気的に消去及び書き込み可能な読み出し専用メモリ)に関するもので、更に詳細には、各セルの書き込み及び読み出しを制御する為のフローティングゲートを有するEPROM及びEEPROMに関するものである。

従来の装置を第1A図に示してある。フローティングゲート114Fに電荷がない場合には、該装置は通常低スレッシュホールド状態( $V_T = +1.0\text{ V}$ )にある。ドレイン120D及び制御ゲート114C(典型的に、ソース電圧 $V_S = 0\text{ V}$ 及び基板バイアス電圧 $V_B = 0\text{ V}$ で、 $V_D = 15\text{ V}$ 及び $V_C = 20 \sim 25\text{ V}$ )に高電圧 $V_D$ を印加することにより該装置を高スレッシュホールド状態( $V_T = +5\text{ V}$ )にプログラム(即ち、書き込み状態)とさせることができる。このスレッシュホールド電圧間の移行は、第1A図のフローティングゲート114Fの下方に矢印で例示した如く、チャネルのドレイン側ピンチオフ領域でホットエレクトロンを注入することにより行われる。この様にして注入されたエレクトロン

四

通して瞬間に電子的導道状態を形成しアレイを消去することも可能である(この現象はファウラー・ノルトハイム導道(Fowler-Nordheim conduction)として知られている)。

第1A図の装置を使用するメモリアレイにおける選択的書き込みの効率には3つの重要な要因が関与している。第1は、フローティングゲート及び制御ゲート間の容量結合(第1B図における $C_{SI}$ )の強度がある。この容量結合の強度は、これら2つのゲート間の幾何学的オーバーランプ、及び両ゲート間の絶縁膜126Cの厚さと屈折率とに依存する。しかしながら、この絶縁膜をあまり薄くすると、両ゲート間に短絡が生じる可能性があり、特に「書き込み」の際に高電圧状態が存在する場合に問題となる。第2及び第3の要因は、ソースとドレイン間のチャネル長さ、及びチャネルのドーピング濃度 $P$ である。長さしが短ければ短かい程又濃度 $P$ が高ければ高い程、ホットエレクトロンの注入はより高効率となる。しかし、長さしが

四

特開昭57-50476(7)  
は、絶縁膜126C及び126Fで基板及び制御ゲートから隔離されたポリシリコンのフローティングゲート114Fに永久に捕獲される。絶縁膜126Fは、通常、約1,000 Åの厚さの熱酸化膜である。フローティングゲート114F上に余分のエレクトロンが存在するということとは、反転(又は「スレッシュホールド」)電圧に達する為には電圧 $V_C$ をより高い正の電圧とすることが必要である。高スレッシュホールド状態に書き込まれたセルは、読み取りサイクルの間 $V_C$ が+5Vである場合には通過しない。メモリアレイ中の全てのメモリデバイスは紫外線の照射により消去可能である。この紫外線は捕獲されたエレクトロンに十分なエネルギーを与えて、ポリシリコンのフローティングゲートからその上側又は下側の $\text{SiO}_2$ 層に移動させ、基板又はフローティングゲートに回収させる(この現象は内部的ホトエミッションとして知られている)。一方、フローティングゲート及び制御ゲート又は基板間に強電界を印加し、夫々の $\text{SiO}_2$ 膜を

四

短かいと、ドレインが高電圧状態にある場合にソース120S及びドレイン120D間のパンチスルーや発生する可能性があり、又、濃度 $P$ が高いと、高電圧状態において接合部にてバランシエブレータマクン(なだれ破壊)が生じる可能性がある。メモリアレイにおいて、これらの2つの現象は絶対的に回避せねばならないものである。

従来技術から明示的に又は暗示的に示唆されていることは、制御ゲート114C及びフローティングゲート114Fからソース120S及びドレイン120Dへの寄生容量は、セル110の操作に悪影響を与えるので、自己整合技術によつてできるだけ小さくせねばならないということである。フローティングゲート114Fとドレイン120D間の横方向容量 $C_{d1}$ は、フローティングゲート114Fをドレイン120D上の電位に追従させるので特に小さくする必要がある。書き込みの際に電圧 $V_D$ が高い値にあるので、アクセスされていないセルのフローティングゲートと

四

ドレインとを容量 Cd1 で容量結合され、選択された列上のアドレスされていない各セルは低レベルの導通状態（約 1.0 μA）を示し、これらのセルの幾つかを多少オン状態とさせる。64K の EPROM (256 行 × 256 列) はこの影響により数 mA という幾重の寄生電流を有し、この電流値はアドレスされたセルの書き込み電流 (1 mA) よりも大きくなっている。この様な大きさの電流は、データ線電圧に負荷をかけ、又書き込み効率が減少するのでエラーを発生する恐れがある。この状態は「ドレイン・ターンオン」として知られている。

本発明は以上の点に鑑みられたものである。即ち、本発明に於いては、以前は EPROM の欠点として考えられていたことを利点として使用し、ピクトセルが読み出される場合に同じドレイン側に接続されたピクトセルのドレイン・ターンオンを回避することによつてより高速の読み出しサイクルを可能とし、又読み出しの効率及び速度を犠牲にすること無しにより能率的な

47

フローティングゲートを設け、前記ソース及びドレイン領域間のチャネル領域の残部とフローティングゲート領域の上方でそれらから絶縁されて在在する制御ゲートを設け、前記フローティングゲートの上方に位置しない前記制御ゲート部分は前記フローティングゲートの上方に位置する前記制御ゲート部分よりもソース及びドレイン間のチャネル領域の前記フローティングゲートで被覆されていない部分により近接して位置されていることに特徴を有するものである。

本発明では、フローティングゲートのドレイン領域上方に位置する部分は、従来技術のフローティングゲート構造と比べ、わざとより強くドレイン領域に容量的に結合される様になつてあり、従つて、従来技術の結合容量で得られる場合と比べ、フローティングゲート電位はドレイン電位により近似して追従することが可能である。一方、従来技術ではこの結合容量はできるだけ小さくしていた。従つて、本発明の構成

48

## 特開昭57-50476(B)

書き込みサイクルを可能とした不揮発性 EEPROM アレイを提供するものである。本発明装置においては、従来技術とは反対に、ドレインとフローティングゲート間の容量 Cd1 (図 1B 図) を故意に最大として書き込み及び読み出し効率を改善しており、又、基本的にはフローティングゲートをソース拡散領域からデカップリングする、即ち分離させることによつてドレイン・ターンオン状態を回避している。更に、本装置では従来技術で以前得られたものよりもより高い容量的に結合された電圧を得ることとの可能なフローティングゲートを提供しており、従つて書き込みサイクルの効率を更に改善している。

本発明の再書き込み可能な不揮発性 EEPROM セルは、ソース領域とドレイン領域とを有する半導体基板を設け、かなりの部分が前記ドレイン領域の上方に前記ドレイン領域から絶縁されて位置され残りの部分が前記ドレイン及びソース領域間のチャネル領域の 1 部の上方に前記チャネル領域の 1 部から絶縁されて在在する

49

に拘れば、垂直電界強度が増加するので、セルのプログラム操作中、即ち書き込み動作中にチャネルのビンチオフ領域からフローティングゲートへ移動するホットエレクトロンを加速させることができ。更に、本発明では次の様な驚くべき効果を得ることができる。即ち、読み出し動作中にドレインとフローティングゲートとの間にはより強い容量結合があるにも拘わらず、アクセスされていないセル中のソース及びドレイン間のチャネルはドレイン・ターンオン現象によつて導通状態とされることはない。その理由は、チャネル領域の 1 部のみがフローティングゲートで覆われており、一方チャネル領域の残りの部分は、本装置の制御ゲートで覆われておりこの制御ゲート上の低電位によつて非導通状態に維持されるからである。

薄い「トンネル動作」する絕縁層（例えは、二酸化シリコンや酸化シリコン）を使用する本発明の 1 実施例に於いては、ソース、ドレイン及び基板をゼロボルトに維持したまま制御ゲー

50

ト上の電位を低レベル（例えば、-20V）に降下させることにより容易にプログラムの書き込みが可能である。フローティングゲート上のエレクトロン（Nチャンネルの場合にはエンハンスマント型装置）はフローティングゲートから基板へ流出し、従つて特定のセルの記憶内容が消去される。

特定のセルを消去動作する場合に、約+20Vの正電圧を対応するドレインに印加することによつて、同じ制御ゲートを有するその他の全てのセルから記憶電荷が放電されることを防止している。このことは、フローティングゲートを横切つて基板に達する強電界が形成されることを防止し、従つてこれらその他のフローティングゲート上の電荷が変化することを防止している。一方、ドレインの各々の電圧を基板の電圧に維持することによつて或る制御ゲートと関連する全てのフローティングゲートを同時に消去させることが可能である。

本発明の1実施例においては、チャンネル側

G1

を提供することである。

本発明の他の目的とするところは、より大きな読み取りリストラッシュホールド用容を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、印加アクセス電圧に対しより大きな読み出し電圧を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、アクセス用及び注入電荷用に別個のチャンネル部分を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、書き込み又は読み出しの際に低レベルの寄生電流を発生しない不揮発性EPROMを提供することである。

本発明の他の目的とするところは、電気的にプログラムを書き込み又は電気的に消去することの可能な不揮発性EPROMを提供することである。

以下、添付の図面を参考に本発明の具体的実施の様様に付き説明する。尚、以下の説明に使用する用語中の成るものに付き次の様に定義す

G2

特開昭57-50476(9)

域上でフローティングゲートの1部の下に薄い酸化物の領域が形成されている。この薄い酸化物の領域は、ドレイン容量又は制御ゲート容量を介してフローティングゲートに比較的高電圧のパルスを印加させ、エレクトロンのトンネル動作を使用してフローティングゲートに再書き込みを行なうことを可能としている。

従つて、本発明は集積度の向上した不揮発性EPROMを提供することを目的とする。

本発明の別の目的とするところは、印加した書き込み電圧に対しより高い注入電荷密度を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、より高い駆動容量を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、より効果的な注入電荷制御を有する不揮発性EPROMを提供することである。

本発明の他の目的とするところは、より効果的な注入電荷書き込みが可能な不揮発性EPROM

G3

を提供することである。

$V_{wd}$  = ドレイン書き込み電圧

$V_{wc}$  = 制御ゲート書き込み電圧

$V_{rc}$  = 制御ゲート読み出し電圧

$V_{rd}$  = ドレイン読み出し電圧

不揮発性EPROM210（図2A図）はフローティングゲート214Fを有し、該フローティングゲート214Fは、その大部分がドレイン220Dとオーバーラップしてドレイン対フローティングゲート容量Cd2を形成しており、又ドレイン220Dに隣接するチャンネル部分218Fとオーバーラップ（重疊）して容量Cf2を形成している。制御ゲート214Cがフローティングゲート214F上方に延在しており從来技術のセル110における極化容量Cp2を形成している。しかしながら、制御ゲート214Cは、ソース220SK隣接するチャンネル部分218C'に近接して延在する部分214C'を有し、制御ゲート部分214C'とチャンネル部分218C'との間に容量Cb2を形成している。書き込み動作の際に、

G4

ドレイン書き込み電圧  $V_{wd}$  はソース  $S_{220S}$  からドレイン  $D_{220D}$  への加速用電界を確立し、又直列結合容量  $C_{d2}$  及び  $C_{f2}$  (第2B図参照) を介してフローティングゲート  $G_{214F}$  上の残存エレクトロンを再分布させる。ドレイン  $D_{220D}$  上に容量  $C_{d2}$  の1部を形成するフローティングゲート  $G_{214F}$  の部分には負の電荷が蓄積し、チャンネル部分  $G_{218F}$  上に容量  $C_{f2}$  の1部を形成するフローティングゲート  $G_{214F}$  の部分には正の電荷が蓄積して、チャンネル部分  $G_{218F}$  内に反転領域を確立する。基本的に、ドレイン拡散領域  $D_{220D}$  は第2の制御ゲートとして使用され、書き込み電圧  $V_{wd}$  (これは制御ゲート上の書き込み電圧  $V_{wc}$  と同時にドレインに印加される) に応答してソース  $S_{220S}$  とドレイン  $D_{220D}$ との間に強い横方向電界を形成するのみならず、チャンネル部分  $G_{218F}$  からフローティングゲート  $G_{214F}$  へのホットエレクトロンの注入を向上させる為に膜化物  $G_{226F}$  を横切つて強い横方向の電界を形成する。

55

ことであり、即ちその注入はドレイン拡散領域から高々  $1\mu m$  離れた箇所で起こるということである。このことは、後述する如く、第3A図及び第3B図に示した高集積度アレイにおいて、偶発的な書き込み擾乱を防止する上で特に有用な特徴として使用されている。

読み出し動作中に、記憶内容  $Q_j$  (フローティングゲート  $G_{214F}$  上の電荷) が書き込まれているセルは高いスレッショールドを有し、非導通状態を維持する。しかしながら、電荷  $Q_j$  のないプログラムの書き込まれていないセルは、より低いアクセス電圧  $V_{re}$  及び  $V_{rd}$  に応答して容易に導通状態となる。従来のセル  $S_{110}$  よりもセル  $S_{210}$  内の駆動容量が増加していることと(これは従来のセル  $S_{110}$  と比べ容量  $C_{d2}$  の値をわざと大きくしていることによるものである)は、フローティングゲート  $G_{214F}$  により高密度の電荷  $Q_j$  を生ぜしめ、又セル領域ないしアクセス電圧を対応して増加することなしにチャンネル制御を改善することができる。

56

特開昭57-50476 (10)

制御ゲート  $G_{214C}$  に印加された制御ゲート書き込み電圧  $V_{wc}$  は容量  $C_{b2}$  を介してチャンネル部分  $G_{218C'}$  を反転させ、その際にアドレスされたセルのチャンネル  $G_{218}$  を横切つて導通路を完成する。又、制御ゲート書き込み電圧  $V_{wc}$  は、容量  $C_{e2}$  によつて絶縁膜  $G_{226C}$  及び  $G_{226F}$  を横切つてフローティングゲート  $G_{214F}$  下方のチャンネル部分  $G_{218F}$  内に反転領域を形成するのに貢献する。ソース  $S_{220S}$  からのエレクトロンは、ドレイン書き込み電圧  $V_{wd}$  によってチャンネル  $G_{218}$  の2つの反転領域に沿つて横方向に加速される。制御ゲート書き込み電圧  $V_{wc}$  及び容量  $C_{d2}$  によりフローティングゲートに接続されたドレイン書き込み電圧  $V_{wd}$  によつて形成された容量  $C_{f2}$  を横切つて形成された電界  $G_{226F}$  により上記ホットエレクトロンの僅少部分が絶縁膜  $G_{226F}$  を横切つてフローティングゲート  $G_{214F}$  内に注入される。ここで注意すべきことは、ホットエレクトロンの注入は基本的にチャンネル  $G_{218F}$  のピンチオフ領域内でのみ生じるとい

57

#### 直列チャンネル制御

2個の独立な容量  $C_{f2}$  及び  $C_{b2}$  によつてチャンネル  $G_{218}$  を直列制御し、部分的にアドレスされたセルを横切つて(即ち、対応する電圧  $V_{wc}$  が存在せず電圧  $V_{wd}$  のみによつてアクセスされたセルを横切つて)の低レベルのドレイン・ターンオン電流の発生を防止している。Nチャンネル反転は、電圧  $V_{rc}$  (読み出しの際に制御ゲート  $G_{214C}$  に印加される読み出し電圧)によつてチャンネル部分  $G_{218C'}$  に、又電圧  $V_{rd}$  (読み出しの際にドレイン  $D_{220C}$  に印加されるドレイン電圧)によつてチャンネル部分  $G_{218F}$  内に確立されねばならない。尚、電圧  $V_{rc}$  はチャンネル電流を維持する為のものである。

アクセスされていないセル(即ち、電圧  $V_{rc}$  も  $V_{rd}$  も印加されていないセル)及び部分的にアクセスされたセル(即ち、電圧  $V_{rd}$  のみが印加されているセル)内においてチャンネル  $G_{218}$  を横切つて表面でのパンチスルーは起こらない。何故ならば、パンチスルーの為に必要とされる

58

並列反転の少なくとも1個が存在しないからである。従つて、チャンネル218の長さは、從来のセル110のパンチスルー限界を越えて更に短かくすることが可能である。アクセス制御のためにチャンネル218を2つの独立した部分218C'及び218Fに分割するということは、各部分において異なったドーパントレベルにすることができるという設計上の選択性を向上させている。どちらか一方又は両方のチャンネル部分のドーパントレベル。従つてチャンネル反転スレッシュホールド電圧を下げる(又は上げ)て各設計条件に適応させることができる。例えば、部分218C'内でのスレッシュホールドを低下させることにより、書き込み効率に悪影響を与えること無しに読み出しの際にセルの駆動を上げることができる。書き込み効率は部分218F内のドーピング濃度に比例的に依存するものである。

#### 高密度單一拡散の実施例

EPROMアレイの集積度は、隣接する拡散領域320L及び320Rとの電圧関係に依存してソ  
四

の)の方が望ましい。何故ならば、アレイの集積度を上げることができると共により平坦な形状が得られるからである。又、高密度のチャンネルストップ用ボロンのイオン注入を書き込みの際に有効に使用することができる。何故ならば、爾後の高温処理の際に、注入された不純物が分離領域からチャンネル領域内に横方向拡散するので、チャンネル端部でのチャンネルドーピング濃度をかなり上げるからである。従つて、チャンネルの端部はプロダクタミング、即ち内部の配線が優先的に行なわれる領域となる。高密度のチャンネルストップ用イオン注入を行なうことによつて、チャンネル318F, 318C'の残りの部分でのチャンネルドーピングをNチャンネル・エンハンスマント型装置に備かれた正の装置スレッシュホールド電圧を与えるに十分なだけ低く保持することができる。

各拡散領域320は、各8行ないし16行毎にそれと並列して設けられた金属層335と導通路ないし接続線337を介して接続されている。從

41

#### 特開昭57-50476(11)

一又はドレインとして機能する單一拡散領域320(既3A, 3B回参照)を使用することにより増加することができる。アレイ340内の各拡散領域320(例えば、拡散領域320L, 320, 320R)は、その上方にオーバーラップ、即ち重複する全てのフローティングゲート334Fによつて共用されるビット線を形成する。制御ゲート314A, 314B, 314C等は拡散領域320と直交して設けられており、任意の2つの拡散領域320間のチャンネル部分318C'及び318Fを介してチャンネルの導通を制御する。各拡散領域320は両側に夫々チャンネル部分318C'及び318Fを有する。隣接する行間(例えば、行314Aと314Cとの間)の空間319は分離領域であり、自己整合型チャンネルストップ用イオン注入とそれに引き続いて長時間の酸化を行なうことによつて、又は從来のアイソプレーナプロセスの分離方法によつて形成することができる。ここでは、最初に挙げた分離技術(即ち、チャンネルストップ用イオン注入を使用するも

42

の)の方が望ましい。何故ならば、アレイの集積度を上げることができると共により平坦な形状が得られるからである。一方、アレイ340における各接続線は、8行ないし16個のセルによつて共用されており、開口のない接続線があつてもそれは単に拡散ビット線の抵抗を多少上げるだけであつて、回路設計に於いて考慮に入れることができるので実質的な原因とはならない。その結果、本発明に拘れば、從来技術と比較してセルの集積度及び歩留りを向上させることができる。

装置実施例310で使用されるプロセスは、2重ないしは2段階ボリシリコン・プロセスで、プロセスの初期段階に設ければならないフローティングゲート314Fの下方に位置するドレイン拡散領域を必要とする。このことは更にマスクヤングステップが付加されることとなるが、かく付加された拡散領域は、精密な周辺回路に使用する別のレベルの内部配線として使用することが可能である(スタンダードな自己整合プロ

43

セスではボリシリコンの下に拡散領域を設けることはできない。）。次に、高集積度アレイ実施例の完全なプロセスに付き説明する。

アレイ340は、偶発的な書き込みや誤つた読み出しが起こらないことを確保する為に特別の書き込み及び読み出し電圧条件を必要とする。第3B図に示す如く、セルA2が高スレッショールド電圧状態に書き込みが行なわれる場合には、列335（列335が接続線337を介してドレイン領域320に接続されているのでその下層のドレイン領域320も）は+15V（即ち、 $V_{sd} = 15V$ ）の電圧とされ、他の全ての列は0Vにされる。制御ゲート行314Aは約+20V（即ち、 $V_{ce} = +20V$ ）とされ、他の全ての行は0Vとされる。従つて、セルA2はホットエレクトロンの注入を行なうのに適切する電界条件を有し（即ち、ソース320Lからドレイン320への水平方向電界、及びソース320Lとドレイン320との間でゲート314の下方においてNチャネルからフローティングゲート314F

43

はフローティングゲートA3上ではなく制御ゲート314A上に全て問題なく累積される。更に、本装置310が非対称であるので、容量C13を横切つての境界はセルA2のものよりもセルA3のものの方がかなり小さい。何故ならば、セルA3のフローティングゲートは（容量Cd3を介して）0Vにある拡散領域320Rに接続されており、一方セルA2のフローティングゲートは+15Vにある拡散領域320に容量的に接続されている。

上述した如く、本発明では装置310の非対称構成を有効に利用しており、アレイ340の極めて高密度の注入を可能としている。アレイを製造するに当り、フローティングゲート314Fは拡散領域320の左側0.5乃至1.0μm以内に近づかない様に注意すべきである。即ち、制御ゲート部分314C'下のチャネルは十分に長く、そのドーピング濃度は適切に調節されていて障壁セルが書き込みサイクルにある場合にセルの偶発的な書き込みが行なわれない様にすべきで

44

特開昭57-50476(12)

への垂直方向電界）、フローティングゲート314Fへの電荷注入によりプログラム化。即ち記憶内容の書き込みが行なわれる。セルB2は正確な $V_{sd}$ 電圧（即ち、ドレイン書き込み電圧）を有するが、制御ゲート314B上の電圧が低いのでチャネル電流を有さない。セルA1は反転したチャネルを有するが、ドレイン領域335L及びドレイン領域320L上の電圧 $V_{sd}$ が低いので加速用の水平方向電界を有していない。セルA2以外にはセルA3のみが、ソース及びドレイン領域間に形成された加速用の水平方向電界及びホットエレクトロン注入用の強電界で反転されたチャネルの両方を有する。しかしながら、ドレイン320Rの電圧が低く（0V）、本装置310は非対称であるので、セルA3のフローティングゲートはチャネルビンチオフ領域と重複関係はない。該チャネルビンチオフ領域は、特定の電圧条件下において、拡散領域320から約1μm離れた箇所で発生する。従つて、チャネルから注入されたホットエレクトロン

45

ある。

セルが $Cd3 > Cc3$ （この関係は絶縁膜の厚さ、及びオーバーラップ、即ち重複面積を適当に選択することにより満足される）である様に製造されると、「書き込み」の際ににおいて電圧 $V_{ce}$ よりも電圧 $V_{sd}$ が支配的となり、従つて $V_{ce}$ 上の電圧は $V_{ce}$ と同じく+5Vにすることが可能である。このことは回路設計上の利点である。何故ならば、全部の行デコード回路を、読み出し及び書き込みの両方の場合に低電圧範囲で動作する様に構成することが可能だからである。

セルA2を読み出すには幾つかの方法がある。例えば、一つの方法では、335Lのみを0Vとし、全ての列335を+5Vにさせる。そして、行駆314Aのみを+5Vとしその他全ての行を0Vとする。セルA2が低スレッショールド状態にあると、列335（ドレイン）と335L（ソース）との間の直列チャネルを介して列335を0Vに向かつて放電させる。列335の電圧降下は列の底部にある電荷センス増幅器で検知さ

46

れ、列335上の電圧(等価的には、ドレイン320上の電圧)が+5Vよりも数百ミリボルト降下した時にラッシュされる。セルA3のソース(320)は、その制御ゲート電圧(314A)から完全なトランジスタスイッチホールド電圧分以上に降下することがないから、セルA3は導通状態とはならない。

セルA2が高スレッシャホールド状態にあると、上のバタグラフに記載した条件下では導通状態とはならず、列335(又は320)を+5Vのままに維持する。センス増幅器は、列335上の電圧降下をセルA2と同様の基準セルを介しての電圧降下と比較する。本装置210, 310(第2図及び第3図)では自由度が増加しているので、回路設計者は基準セルにアレイ中のセルとあまり変わらないフローティングゲートとドレイン間のオーバーラップ容量Cd2を考えることができ、従つてチップ上に中間電圧レベルを発生する為の複雑な手順を設けること無しに「0」と「1」の2つの状態間の中間レ

48

上式(1)において、電荷量Qrgはフローティングゲート上の余剰電荷(エレクトロンの場合)である。装置110の典型例に対しては以下の様な値を有する。

$$\begin{aligned} Cd1 &= 1.0 C_0 & Cf1 &= 5 C_0 \\ Cs1 &= 0.5 C_0 & Cd1 &= 0.5 C_0 \end{aligned}$$

ここで、C<sub>0</sub>はその大きさがフローティングゲート214Fの周りの絶縁分離層の厚さ及び誘電率に依存する何等かの単位容量である。

Qrg = 0(記憶内容が書き込まれていない状態)の場合には、上式(1)から次の様になる。

$$\text{読み出し} (V_D = V_G = 5V : V_{rg110} = 3.3V) \quad (1a)$$

$$V_S = V_B = 0V$$

$$\text{書き込み} (V_D = V_G = 15V : V_{rg110} = 9.8V) \quad (1b)$$

$$V_S = V_B = 0V$$

一方、本発明のセル210は次式で与えられるフローティングゲート電圧を有する(第2B図参照)。

$$V_{rg110} = \frac{Qrg + (VcCc2 + VbCf2 + VdCd2)}{(Cc2 + Cf2 + Cd2)} \quad (2)$$

49

特開昭57-50476(13)  
ベルにセンス増幅器の動作点を設定することができる。尚、この様な中間電圧レベルはプロセス変動により敏感である場合が多い。しかしながら、書き込み及び読み出しの上述した方法は幾つかの方法のうち单なる1例にしか過ぎないことに注意すべきである。

アレイ340内の全てのセルから記憶内容を消去するには、従来の全てのフローティングゲート装置に於ける様に、紫外線照射を行なう。しかしながら、別の実施例として後述する如く、いくつかのプロセスを付加するだけで電気的な消去を行なうことも可能である。

#### 増加した分布容量

フローティングゲート装置においては、それに物理的に結合された電圧及び容量から引き出した電圧を有することが可能である。従来の装置110においては、この電圧は次式で与えられる(第1B図参照)

$$V_{rg110} = \frac{Qrg + (VcCc1 + VsCs1 + VdCd1)}{(Cc1 + Cf1 + Cs1 + Cd1)} \quad (1)$$

50

装置210の典型的に対しても、前述したのと同じ単位容量C<sub>0</sub>を使用して次の様に表わせる。

$$Cc2 = 12 C_0, Cf2 = 2.5 C_0, Cd2 = 10 C_0.$$

ここでは、ドレイン上に付加的なフローティングゲート部分があるのでCc1と比較してCc2が増加している。チャンネル(218F)の半分だけがフローティングゲート214Fに結合されているのでCf2はCf1より小さくなっている。ドレインにわざとオーバーラップさせてあるのでCd2は増加している。

フローティングゲート214Fとドレイン間の絶縁層は半結晶シリコン上に熱処理成長させたものであり、従つてより薄くすることができる。多結晶シリコンフローティングゲート物質上に成長され容量Cc2を構成する絶縁層のものよりもより大きな単位面積当たりの容量とすることができる。フローティングゲートはソース遮蔽領域とオーバーラップしてはならないのでCc2はゼロである。Qrg = 0の場合に、上式(2)から次の値が得られる。

51

読み出し ( $V_D = V_C = 5 \text{ V}$ ;  $V_{PG110} = 4.5 \text{ V}$ ) (2a)

$V_G = V_B = 0 \text{ V}$ )

書き込み ( $V_D = V_C = 15 \text{ V}$ ;  $V_{PG110} = 13.5 \text{ V}$ ) (2b)

$V_G = V_B = 0 \text{ V}$ )

読み出しの際に最大の駆動を得る為に、電圧  $V_{PG}$  は出来るだけ高くしてチャンネル 118 又は 218F を強く反転させるべきである。同一のトランジスタ・チャンネルの幅及び長さに對し、式 (1a), (2a) が示す如く、セル 210 はセル 110 よりもかなり大きな駆動を有する(何故ならば、駆動は  $(V_{PG} - V_t)^2$  に比例するからである。但し、 $V_t$  はフローティングゲートのスレッショルド電圧で、約 +1.0 V である)。

同様に、書き込みの際に最大の注入境界を得る為には、電圧  $V_{PG}$  はできるだけ高くすべきであり、式 (1b), (2b) が示す如く、セル 110 よりもセル 210 の方がかなり高くなっている。更に、電圧  $V_{PG110}$  は電圧  $V_{PG210}$  よりも 3.7 V だけ高いので、書き込みパルスの終りに貯蔵される正味余剰電荷  $Q_{PG}$  は、セル 110 のものに比べ

50

圧との間の関係は、第 4 図の下の曲線の最も左側の 3 つの点で示される。本発明の構成では、フローティングゲートの電圧は 5 ポルトのドレン電圧に対し読み出し期間中に 4 ポルトの少し下から 5 ポルトの少し下へ変化する。しかしながら、従来の構成においては、フローティングゲート電圧は 3 ポルトと約 3.75 ポルトとの間を変化するものであった。

同様に、書き込み操作の場合において、従来の装置では、容量比  $C_d/C_c$  が 0.2 以下の場合にフローティングゲート上の電圧は約 8 ~ 11 ポルトの間を変化している。しかしながら、本発明の構成によれば、書き込み操作の場合に、15 ポルトのドレン電圧に対しフローティングゲート電圧は約 11.5 ~ 14 ポルトの間を変化している。これらのより高い電圧値は、従来装置と本発明との差異を表わしており、特に、書き込み操作の場合における注入効率の増加及びセルの読み出し操作の場合におけるチャンネル相互コンダクタンスの増加を表わしている。

53

-364-

特開昭57-50476(14)  
セル 210 内には 3.7 V の等価分だけ高くなる。  
換言すれば、「0」及び「1」状態間の電圧差は高々 3.7 V に迄増加され、その結果不揮発性を改善することを可能にしている。以上の説明から明らかなる如く、セル 210, 310 の改善された読み出し及び書き込み効率は、より小型の(より高集積度の)セル、又はより低い操作電圧とする為の基礎とすることができる。更に、単に  $C_d$  成分を増加又は減少させることによりセンス増幅器の基準セル上の電圧  $V_{PG}$  を変化させる点での設計上の柔軟性に関し前に記載した事項は式 (2) から明らかである。

第 4 図に示す如く、従来技術の  $C_d/C_c$  の限界値である約 0.2 以上に於いて、本発明の構成によればセルの書き込み操作の際にフローティングゲート上の電圧は数ポルト分増加し、セルの読み出し操作の際に約 1 ポルト分増加する。従来のセルは  $C_d/C_c$  の比が 0.2 以下で操作されていた。即ち、読み出し操作の際にフローティングゲート上の電圧と例えば 5 V のドレン電

54

#### 電気的消去

広範囲の適用において、フローティングゲート上の電荷  $Q_{PG}$  を消去する為に紫外線を使用することは不便である。装置 210, 310 を修正して電気的に消去する様にすることが可能である。これは、フローティングゲート 214F と基板 218 との間の絶縁層が十分に薄く高電界条件下においてトンネル現象による電子的導通を許容する小領域 215F, 315F, 567F を付加することにより実施可能である。トンネル現象による電流は、該小領域 315F を横切つて印加される電界に指数的に依存する。例え、10 V の印加電圧に対し、小領域 315F は  $1 \text{ mA/cm}^2$  の電流密度の電流を流すが、8 V の印加電圧に対しては、 $1 \text{ nA/cm}^2$  の密度の電流を流すにすぎない。本実施例においてはこの極めてシャープな電界依存性を有効に利用して非選定状態にあるセルに偶発的に書き込みを行なつたり、消去したりすることを防止している。

装置 210, 310 の場合と同様に、書き込み操

55

作はホットエレクトロン注入と或る程度のトンネル現象とによつて行なうことができる。基盤210, 310の場合と同様に、部分的に選択されたセルにはホットエレクトロン注入が起こらず、又これらのセルではトンネル現象が起こることもない。何故ならば、電圧 $V_D$ 及び $V_C$ の一方のみが書き込み用の高電圧状態にあり両方ではないので、電圧 $V_{RD}$ は効果的なトンネル現象を行なう為のスレッッシュホールド電圧以下にあるからである。例えば、小領域215Fの厚さ及び崩壊電圧の値から、トンネル現象を得る為には電圧 $V_{RD}$ が9V ( $V_B = 0V$ として)を越えをければならないとしよう。すると、式(2)から、( $C_{t2} = 2C_0$ として)書き込みをされたセルは $V_{RD} = 13.5V$  (以前と同じ)となりトンネル現象を起こさせるが、部分的にアクセスされたセルは $V_{RD} = 6.8V$  ( $V_C = 1.5V$ ,  $V_D = 0V$ )、又は $V_{RD} = 5.7V$  ( $V_C = 0V$ ,  $V_D = 1.5V$ ) であり、どちらの場合にもトンネル現象を起こさせるには低過ぎる。即ち、ここでドレイン結合容量

回

て完全な消去が行なわれる迄トンネル消去を著しく向上させる。典型的には、これに1乃至10マイクロ秒かかる。

次に、本発明のセル及びメモリアレイの製造プロセスに付き説明する。

第1実施例としての製造プロセスでは、約10Ω·cmの固有抵抗を有し[100]の結晶面を有するP型シリコン基板530を使用してプロセスを開始する(第5A図参照)。然しながら、約20Ω·cmの固有抵抗を有し[100]の結晶面を有するN型シリコン基板532(第7図)を使用してプロセスを開始し、該基板内にCMOS製造プロセスで良くやられる分離したP型ウエルの領域531を形成することも可能である。この様なP型ウエル531は、所要のシリコン領域にボロンをドープさせ拡散ステップに於いて該ドーパントをドライブインさせることによつてN型基板内に形成することが可能である。これはプロセスにステップを付加することになるが、そうすることによつて、メモリアレイが製造され

回

特開昭57-50476(15)

量 $C_{d2}$ を使用してアレイ中の選択されたセルでの電界を増加させており、非選択の全てのセルでの電界を抑制させている。

消去を行なうには、典型的には-20Vのペルスを行なうに印加し、全ての列拡散領域320及び基板311を接地する。すると、式(2)からアクセスされた行に沿つてのセルは次のようになる。

$$V_{RD} = \frac{Q_{RD} + (-20 \times 12C_0)}{C_{total}} = \frac{Q_{RD}-10}{C_{total}} \text{ ポルト (3)}$$

$Q_{RD} = 0$  (記憶内容無し) の場合には、消去電界は弱いが、トンネル現象による消去(エレクトロン放出)が持続され、チャネル部分318Fのスレッッシュホールドをデブリシジョン状態とさせる(このことは、エンハンスマント状態を維持する直列チャネル部分318C'がなかつたとしたら不可能であろう)。 $Q_{RD}$ が負の場合(記憶内容を有する場合)には、フローティングゲート上の余剰エレクトロンに基づく電界は、これら全ての余剰エレクトロンが除去され

回

る大きなPウエルから電気的に分離させたPウエル内に制御回路を作ることができるので、回路設計者に設計上の付加的な柔軟性を与えることになる。従つて、正の供給電源からチップ上に負の電圧を発生させたり、アレイのPウエルに高プログラミング電圧を印加せしむ一方、別のPウエル内に作成した周辺アバイスには印加させない様にすることも可能である。

最初に、スタンダードな酸化技術を使用してマスキング用酸化物を約2,000Åの厚さに成長させる。次いで、長尺細条形状で下層の基板に達する様に窓を該酸化物に開口させる。

次に、拡散又はイオン注入等の從来のドーピング技術を使用して上記窓口を介して基板中に砒素又はホスホラスの様な選定不純物(即ち、ドーパント)を導入して、セルを構成すべき複数個のソース・ドレイン領域(520DL, 520D及び520DR; 第5A図参照)を形成する。一般に、これらの領域のドーパント濃度は、これらの領域が $N^+$ 導電型である様に設定される(即

回

ち、ドーパント濃度は  $10^{19}$  原子数/ $\text{cm}^3$  を越えた値である）。各領域は、それに印加されるバイアス電圧によりソース又はドレインとして機能可能であり、従つてこれらの領域の名々はソース・ドレイン領域と呼ばれる。

次に、本構造体を酸化させて各ソース・ドレイン領域 520 で約 1,000 Å のシリコンを消耗させてドーパントをドライブ・インすると共に、後工程でのマスクアライメントの為の段差をシリコンに形成する。マスキング用酸化物の下のシリコンはソース・ドレイン領域内のシリコンよりもかなり遅い速度で酸化される。この後に、ウエハより酸化物の全てを剥離する。

第 2 実施例について、ソース・ドレイン領域を形成する為のマスキング層は、二酸化シリコン層（50 Å 以上）上に酸化シリコン層を積層して約 1,000 Å の厚さ（第 6 A 図中、550 及び 560）にしたものである。次いで、この酸化シリコン層及び二酸化シリコン層内に下層の基板に達し長尺の細長部形状の窓を所要数穿設

51

ドレイン上の絶縁層及びチャンネル上の絶縁層の両者を形成するステップにおいて同時に形成するが、第 2 実施例においては、これら 2 つの領域のゲート絶縁層は夫々独立のステップで形成するので、夫々の厚さや成分の選択にそれだけ余計な自由度があり、従つて単位面積当たりの容量を調節可能である。式(2)に示した様に、容量 Cd2 及び Cf2 の相対的な値は、全てのプログラミングモードにおいてデバイス効率にとって極めて重要な値である。従つて、絶縁層 568 (Cd2 に影響を与える) 及び 567F (Cf2 に影響を与える) を独立的に制御する能力は著しく有益である。更に、極めて薄い絶縁層 567F を形成すると共により厚い絶縁層 568 を形成することによって、電気的にプログラム可能であり電気的に消去可能なデバイス (EEPROM) を構成可能である。何故ならば、薄い絶縁層 567F は電子的トンネル動作によつてプログラム及び消去させる為に使用することができます、一方、厚手の絶縁層 568 はドレイン拡散領域にトンネル動作す

50

特開昭57-50476(16)

し、上記第 1 実施例に於けると同じ様にドーピングすることによつて N<sup>+</sup> 領域を形成する。次に、これらの露出したソース・ドレイン領域を 200 Å ~ 6,000 Å の範囲の厚さで酸化させる。前述の実施例の場合とは異なり、この酸化物は剥離せず、ドレイン領域 520D 上にゲート絶縁層 568 を形成する。次いで、マスキング用酸化シリコン 560 をエッティングし、酸化物層 550 をデイプ・エッティングして、ドレイン領域上ではなくチャンネル領域内のシリコン 518 を露出させる（ドレイン上の酸化物 568 は、このディップ・エッチ (dip etch) の部分的の薄層化を十分に補償可能な厚さに成長させる）。次に、薄い絶縁層 567F (第 6 B 図) をチャンネル領域内に形成する。これは 50 Å ~ 1,000 Å の範囲の厚さに成長させた熱酸化層としても良いし、又 200 Å 以下の厚さの熱酸化層としても良い。本実施例プロセスの西端は第 1 実施例のものと同じである。これら 2 つの実施例の主要な相違は、第 1 実施例においては、ゲート絶縁層は、

52

ること無しにフローティング・ゲート 514F のドレイン (Cd2) への結合を向上させる機能を有する。

第 1 実施例に戻つて説明すると、回路条件に応じて、50 乃至 1,000 Å の厚さを有するゲート酸化物層 526F をウエハ表面に成長形成する。本産業分野では良く知られていることであるが、520D の様な高ドープ N<sup>+</sup> 領域上の熱酸化速度は、518 の様な低 P ドープ領域上の酸化速度の数倍になることもある。N<sup>+</sup> ドーピング濃度を  $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$  の範囲内に制御することによつて、P チャンネル領域 518 上及び N<sup>+</sup> ドレイン領域 520D 上の両方の酸化速度を正確に制御することが可能である。例えば、EEPROM (電気的にプログラムし、紫外線消去可能な) デバイスが必要な場合には、チャンネル 518 上の酸化物層 526F は約 200~1,000 Å の間の厚さに成長させ、ドレイン 520 上の酸化物は稍々厚手にするだけで良い。EEPROM (電気的にプログラムし、電気的に消去可能な) デ

53

バイスが必要な場合には、チャンネル上の酸化物層 526F はより薄手、即ち 50~200 Å の範囲に成長させてトンネル動作を可能とし、ドレイン 520 上の酸化物層の厚さはドレイン上でのトンネル動作を起こさせたくない場合にはかなり厚手に設定すれば良い。一方、領域 518 上の酸化物層を EEPROM デバイスの場合と同様に成長させ、その後本発明者の米国特許第 4,115,914 号に記載してある付加的なマスキングステップを用いてトンネル用酸化物層の領域を形成することも可能である。即ち、そのステップとは、先ず第 5B 図に 515F で示した領域の酸化物層 526F の部分をエッチング除去し、次いで算出したシリコン表面上に 50 乃至 200 Å の範囲の厚さの薄いトンネル用酸化物層を成長させるものである。

このゲート酸化ステップの後に、ゲート酸化物 526F を介して P 型不純物（好ましくはガロン）の注入を行ない、ソース・ドレイン領域 520 の各直接接続対間の領域 518L や 518R 等

53

514F）は、個別的に対応する N<sup>+</sup> ソース・ドレイン領域（例えば、領域 520D）の上方でそれと並置して設けられる。各細条部は、対応するソース・ドレイン領域と重疊するだけでなくこの拡散領域の左側のチャンネル領域 518 とも部分的に重疊する（ここで、「左側」ということは、例えば、第 3A 図や第 5C 図に示した如く拡散 N<sup>+</sup> ソース・ドレイン領域 520 の断面図においてこの領域 520 の左側という意味である）。

ストリップ即ち細条部 514F を形成するマスキングステップは重要なアライメントステップである。そのステップは、プロセスの中で、シリコンバターン 514F とソース・ドレイン拡散バターン 520 との間に極めて良好なアライメントを要求するものである。もしも、細条部 514F があまりにも拡散領域 520 の左側にズレてアライメントされると、その結果得られるデバイスのフローティングゲートはチャンネルとより強く結合されドレインとはより弱く結合されることとなり、一方、ズレが反対方向である

54

特開昭57-50476(17)

のチャンネル領域を  $10^{12} \sim 10^{14}$  不純物原子数 / cm<sup>2</sup> の表面濃度でドープさせる。この注入は約 50 keV で行なう。又、この注入はゲート酸化ステップの前に行なうことも可能である。しかしながら、チャンネル領域における実際のドーピングレベルは所望とするデバイス・スペック ホールドや書き込み電圧に基づいて決定される。

ガロン注入の後、従来のポリシリコン堆積技術を使用してウエハの表面上にポリシリコン 514 を約 1,000 乃至 3,000 Å の厚さに付着形成する（第 5B 図参照）

次いで、従来のドーピング技術を使用して該ポリシリコンを N<sup>+</sup> 傳導型に変換させる。典型的にはホスホラスを使用してポリシリコンをドープするが、所望により他の N 型ドーパントも使用可能である。

次に、ポリシリコン 514 をマスクし公知技術を使用してエフチングを行ない被覆層のストリップ（細条部）を形成する。各細条部（例えば、

55

場合にはその逆の結果が発生する。拡散領域 520 の幅及び間隔 518 を設定する場合には、デバイス（全ての異をつた EEPROM 及び EEPROM 実施例に於いて）はこれら 2 層間のアライメントのズレが極端な場合でも全てのプログラム（書き込み）及び読み出しモードに於いて正常機能する様に設定されねばならない。この厳格なアライメントが要求されることは本発明プロセス及びデバイスにとつて独特である。又、それは、最新のリソグラフィー印刷装置（10 : 1 級少比の印刷機）でもつて比較的容易に満足することのできる要求である。典型的な高密度アレイにおいて、このマスキングステップでのアライメントのズレの範囲は約 ±1.0 μm を越えるものであつてはならない。

尚、第 5C 図はこの段階における構成を示しており、そこに示される如く、P 型基板 530 は領域 520D で示す如くその中に形成された N<sup>+</sup> 型のソース・ドレイン領域を有しており、装置表面上にはゲート酸化物 526F が形成され

56

ており、ゲート514Fで例示する如くフローティングゲート514Fの1部がソース・ドレイン領域520Dとソース・ドレイン領域520DLとの間のチャネル領域518L上に延在する様にソース・ドレイン領域520上にはポリシリコンより成るフローティングゲートが形成されており、ソース・ドレイン領域520の左側及び右側にはP型のチャネル領域518L及び518が形成されている。

ポリシリコンの組合部514F, 514FL, 514FR等は本装置の表面上に沿つて延在しており、2番目のマスキング及びエッティング操作が施されて各フローティングゲート514の横方向寸法が確定される。(ここで、3つの組合部514FL, 514F, 514FRは単に例示に過ぎず、全メモリアレイのはんの1部だけが例示的に示されているだけであつて、例えば第3A, 3B図や第5A～5G図に示した構造は両側又は全ての方向に延在するものであることに注意すべきである。)次いで、本構造体を公知の方

倒

526Fを200Åにエッティングする。その後、本装置上に第2酸化物層526Cを成長形成する。酸化物526Cは、フローナイシングゲート514FL, 514F, 514FR(第5C, 第5D図参照)及び制御ゲート電極を形成すべき第2ポリシリコン層514C間の電極間分離酸化物層を形成する。

酸化物層526Cを形成する為に使用した酸化工程を使用して、ポロンを成長酸化物層内に再分布させることによりフローティングゲート514FL, 514F, 514FRによって被覆されていないチャネル領域内のポロン濃度を実質的に減少させることが可能である。これによつてフローティングゲート領域514FL, 514F及び514FRで覆われていないチャネル部分のスレフシユホールド電圧を減少し、このチャネル部分の相互コンダクタンスを増加させていく。

酸化物層526Cを形成することとは、フローティングゲート514Fを作成したときに露出された部分569内にトンネル用酸化物層587F(第

69

特開昭57-50476(18)

法で酸化してポリシリコンの各組合部514Fの露出表面上に選定厚さ(典型的には約1,000Å)の酸化物層526Cを形成する。

酸化物層526Cの形成後、第2ポリシリコン層514Cを約2,000～5,000Åの厚さに被覆形成する。マスキング及びエッティングをして、層514Cはメモリセルの行としてのゲート電極を構成する。その結果得られる構造の断面を第5D図に示してあり、その平面を第5E図に示してある。この時点では、第2ポリシリコン層514Cは装置上表面をシート状に被覆する。このシートの下層にポリシリコンのストリップ514FL, 514F, 514FR(第5E図参照)があり、これらの各ストリップの少なくとも1部の下には夫々対応するソース・ドレイン領域520DL, 520D, 520DRがある。

酸化物層526Cを成長形成する前に、ある実施例においては、本装置に酸化物エッティングを施し、ポリシリコンのストリップ514FL, 514F, 514FR間の露出領域内のゲート酸化物

69

6C図)の厚さをかなり厚くしたEEPROM実施例とすることにも役立つ。實際上、第6C図に断面で示したEEPROM実施例の場合には、上記薄いトンネル用酸化物層の部分は、4面をより厚手の酸化物で囲繞されることによつて構成されており、それらの4面を囲繞する酸化物とは、ドレイン上の酸化物568、チャネル領域上の酸化物569、及びフローティングゲート514Fの両側の分離用酸化物319(第3B図)である。

一方、電極間分離層526Cは酸化シリコンを付着させて形成することも可能であるし、又短期間の酸化の後に酸化シリコンを付着させる複合形態で形成することも可能である。このサンドイツチ構造は、半導体技術において公知のものである。

絶縁層526Cの形成後、第2導電層514Cを付着形成する。該導電層はポリシリコンでも良く、又耐候の酸化工程に耐え得るものならば低固有抵抗のシリサイド又は耐火性金属で構成す

70

ることも可能である。しかし、該導電層をポリシリコンで構成することが好ましい。

第2ポリシリコン層514Cの形成後、本装置をマスタレジストングして、従前に形成したポリシリコンの細条部514FL, 514F, 514FRに垂直なポリシリコン層514Cの細条部を形成する。絶縁層526C及びポリシリコンの細条部514FL, 514F, 514FRを通してエッチングを行ない下層のゲート酸化膜526Fを露出させる。その結果得られる構成は第5G図に平面図として示してあるが、金属リード線535は示していない。

重要な点であるが、所望により、ソース・ドレイン領域520DL, 520D, 520DR間の前述したメロンのフィールド注入はプロセスのこの段階で行なうことも可能である。これがなされると、第5E図の平面図及び第5G図の平面図に示した様に領域539及び519内にフィールド注入がなされる。この段階で、メロンを約 $1 \times 10^{13}$ 乃至 $5 \times 10^{13}$ 原子数/ $\text{cm}^2$ に注入せる。

01

ビング濃度を有するので、例えばチャンネル領域518C'及び518Fの相互コンタクタンスは減少されない。この構成においては、フローティングゲート領域514F, 514FL及び514FRを形成するポリシリコンをエッチングしてイオン注入を行なう前にフローティングゲート間のフィールド領域内に個別的なフローティングゲートを形成する。

別のプロセスにおいては、第5E図に示した如く、露出されたままのフィールド部分で導電性ストリップ514C及び514FL, 514F及び514FRで取り囲まれた部分にメロンを注入することが可能である。この実施例では、イオン注入は実効的にしかも自動的に第5E図の領域539で示した第1及び第2ポリシリコン層514F及び514Cの補完領域に自己整合される。これにより、拡散領域520Dと、例えば、チャンネル領域及びフィールドとの接合容積を約半分に減少させる。何故ならば、フィールドイオン注入によつて各拡散領域520(第5C図、第5D

03

—369—

特開昭57-50476(19)

メロン注入は、第5E図及び第5G図の領域539及び519によつて表わされた第1及び第2ポリシリコン層(514F, 514C; 第5D図、第5E図、第5G図)の補完領域と自動的に自己整合される。例えば、N<sup>+</sup>拡散領域520Dのイオン注入に露呈された部分においては、N<sup>+</sup>拡散領域520Dが自動的にメロンを過補償する。P型メロンは、ドレイン及びゲート電極520D, 514Cの矢々に印加される高書き込み電圧でフィールド反転が起こることを防止し、又各フローティングゲートのチャンネル領域の端部529(第5E図参照)でのチャンネルドーピングを向上させ、書き込み効率を増加させている。何故ならば、チャンネルの低濃度にドープされた領域におけるよりも、チャンネルのより高濃度にドープされた領域における方がホットエレクトロンの注入はより効果的であるからである。又、ソース・ドレイン領域、例えば520D及び520DR(第5C図参照)、間の各チャンネルの端部529(第5E図)のみがより高濃度のドー

02

因、第5E図)の右側のみが高濃度にP型にドープされ、しかも漏れ電流路に対する適当な保護を得ることができる。この実施例においても、メロンを約 $1 \times 10^{13}$ 乃至 $5 \times 10^{13}$ 原子数/ $\text{cm}^2$ に注入せる。

次いで、分離用熱酸化ステップを実施し本装置の上表面及びフィールド領域上に約1,000~5,000Åの厚さの分離用熱酸化物層を成長形成する。この酸化ステップにおいて、第2ポリシリコン層514Cを側面ゲートストリップに形成し第1ポリシリコン層を分離されたフローティングゲートに形成するエッチング操作によつて露出された第1及び第2ポリシリコン層(514FL, 514F, 514FR, 514C)の側面領域をも酸化させる。

次いで、図面には示してないが、熱酸化物層上に従来の熱処理方法によつて高密度化され再流動化されたホヌホラスをドープしたバイロガラスを付着形成する。このホヌホラスをドープしたガラスを設けることにより、本装置の電気

04

的特性を変更する様な不純の汚染物に対し本装置に附加的な保護を与えることができる。尚、製造プロセスのその他の部分はスタンダードなものと適用すれば良い。

第5F図は、保護層を付着形成する前の完成された構造を示している。層534は表面形状を滑らかにする為に再流動化させて形成したホスホラスをドープしたガラスであり、又層535は、520Dの如きソース・ドレイン領域と並行で520DLの如き対応するソース・ドレイン領域上に延在する金属膜を構成する。第5G図に示した構造体の平面図である第5G図に接続層537で示した如く、各金属層535と該金属層の下方に存在するソース・ドレイン領域520とは各8乃至16セル毎に接続されている。この様な特徴を有するので、各ソース・ドレイン領域520を接続するのに必要な接続線の数を減少することができアレイの集積度を著しく増加させることができ可能である。

上述の説明は、アレイ内のプログラム可能な

09

れたチャンネル領域上方で、例えばフローティングゲート514FL, 514F, 514FR(第5D図参照)下方の酸化膜526F内に形成する。これらの規定領域をゲート酸化膜526Fから下層のシリコンに達する迄エッティング除去し、次いで本構造体を再び酸化して約50~150Åのゲート酸化膜を形成する。

一方、露出領域内に酸化膜を約50~100Åの厚さに成長形成しても良い。この場合には、それに就いて既にポリシリコン層の付着で始まる上層プロセスを実施する。

上述した最後の実施形態の特徴としては、ポリシリコン層514が形成されエッティングされる場合に露出されているトンネル用酸化物層との部分も酸化されて、電極間分離用酸化物層526Cを形成する為の隣接のウエハの酸化をする際にトンネル現象が起こらない様な厚さになるということである。

以上詳説した装置は、特に集積度が高くコンパクトなアレイを提供するものである。本発明

09

特開昭57-50476(20)

装置の製造についてのみ行なつた。デコード、バックファーム、論理操作の為に本装置の周辺で使用されるトランジスタは、第1層ポリシリコン、第2層ポリシリコン、ゲート電極用金属化物を使用して従来の方法によつて形成すれば良い。しかしながら、この様なトランジスタを形成する場合に、ソース及びドレインをゲートと自己整合させる為に附加的なマスキングステップを必要とする場合もある。勿論、周辺回路は従来のアイソプレーナMOS技術を使用して形成することも可能である。

別の実施例である電気的に消去可能な装置、即ちEEPROMの製造プロセスは、上述した紫外線で消去可能な装置の場合とはほぼ同じであるが、ソース・ドレイン領域520を形成する為のポロシ注入とフローティング・ゲート電極514F等を形成する為のポリシリコン付着との間に附加的なマスキングステップを必要とする点が異なる。薄いトンネル用絶縁物の部分を、ソース・ドレイン領域520DL, 520D, 520DRから離

09

においては、ドレイン対フローティングゲート容量Cdとフローティングゲート対制御ゲート容量Ccの比は0.3より大きいことが望ましい。従来技術では、この比は0.1以下にする事が望ましいとされていた。第4図に關し上述した如く、これら2つの容量比を増加することによりフローティングゲート電位が効果的に増加する。

従来技術と異なり、本発明の構成に換れば、読み出し動作の際にドレイン・ターンオンを防止することが可能である。興味深いことに、本発明の構成では消去後にフローティングゲート上の正電荷に超因してより高い実効ゲート電圧を必要とせず、従つてフローティングゲート下方に(従来技術におけるタイプの)N型領域を持たないので書き込み効率曲線の右側部分で動作することを回避している。更に、本発明の構成では、フローティングゲート下方ではなく制御ゲート直下でチャンネルをターンオンする為だけに制御ゲートを使用することができる。フローティングゲートはドレイン電圧で制御され

09

るので、ドレインはフローティングゲートの書き込みの際に使用すべく水平方向及び垂直方向の前方の加速及び注入電界を与えることができる。

本発明の別の実施例においては、ポリシリコンの第1層514Fとポリシリコンの第2層514Cとの間に多層サンドイッチ型絶縁構造を使用することが可能である。1実施例としては、ポリシリコンの第1層514Fを約50乃至500Åの厚さに熱酸化させ、次いで塗化シリコンを有する第2絶縁層を公知技術（例えば、連続的な蒸着）を使用して約100乃至800Åの間の厚さに付着形成させる。その結果得られる構造は、ピンホールの影響を最小とし、又下層のチップをある程度密封して湿気や他の不純物から保護することを可能とする。

この塗化シリコン層の付着形成の後に、ある場合には、ポリシリコン付着用の層として機能する酸化物薄膜を形成することともでき。一方、上記塗化シリコンの上面を熱酸化してこの酸化

80

チャネル上の絶縁層567Fの厚さによって、EPROM装置ともEEPROM装置ともなる。EPROM装置の場合には、この厚さは電子的トンネル動作が起こらない様な厚さであり、一方、EEPROM装置の場合には、層567Fは書き込み及び消去時にトンネル動作が起こる程度に十分薄く形成する必要がある。

以上、本発明の特定の実施例に付き説明したが、本発明はこれら実施例に限定されるべきものではなくその技術的範囲内に於いて種々の変形が可能であることは勿論である。

#### 4. 印面の簡単な説明

第1A図は従来のメモリセルの断面図、第1B図は第1A図のセルの駆動容量の説明図、第2A図はゲート絶縁層の残部よりも深いゲート絶縁層の部分215Fを使用したトンネル消去部を設けた場合又は設けない場合のフローティングゲートとドレインとの間に容量Cd2を有する本発明のメモリセルの断面図、第2B図は第2A図のセルの駆動容量の説明図（容量Cd2はト

81

特開昭57-50476(21)

物導層を形成しても良いし、又は駆動層を形成せずにそのままとしても良い。

更に、上述したゲート絶縁物層は、例えば、シリコン酸化物及びシリコン富化物の複合層を有する絶縁構造に置き換えることが可能である。

第5F図及び第6C図は、3つの実施例における最終デバイス（装置）構造の断面を示している。これら3つの実施例の間の主張を相違点は、ゲート絶縁層の厚さの相違である。第5F図に示した実施例で点線で示した部分515Fが無いものはEEPROM装置であり、その場合には、チャネル518上の絶縁層526Fの厚さはドレイン520D上の絶縁層526Dの厚さと略々同じか又は多少薄い程度である。第5F図に示した実施例で点線で示した部分515Fを有するものはEEPROM装置である。該部分515Fにおけるゲート絶縁層はチャネルのその他の部分又はドレイン上のものよりも薄くなっている。との部分515Fでは、書き込み及び消去時にトンネル動作が起こる。第6C図に示した実施例は、

82

チャネル消去実施例の場合にのみ存在する）、第3A図は第2図に示した増加した駆動を有するフローティングゲートの单一拡散領域実施例で構成した3つのセルを示した断面図（トンネル消去部を設けても設けなくとも良い）、第3B図は第3A図に示した単一拡散領域実施例の3×3アレイを示した平面図、第4図は本発明装置と従来装置とに對しフローティングゲート上の電圧と比Cd/Ceとの關係を示したグラフ（Cdはドレイン対フローティングゲート容量でCeは側面ゲート対フローティングゲート容量）、第5A図乃至第5G図は本発明の高集成度アレイを製造するプロセスを示した説明図、第6A、6B図は本発明の高密度アレイを形成する第2の製造プロセスの順序における最初の数ステップを示した断面図、第6C図は第2の製造プロセスで製造したEEPROM装置の断面図、第7図はN型基板内のPウェル内に形成した完成した構成を示す断面図である。

（符号の説明）

83

214C : 制御ゲート 214F : フローティングゲート  
218 : チャンネル

特許出願人 エリヤホ ハラリ

代理人 小橋一男

同 小橋正明

特開昭57-50476 (22)

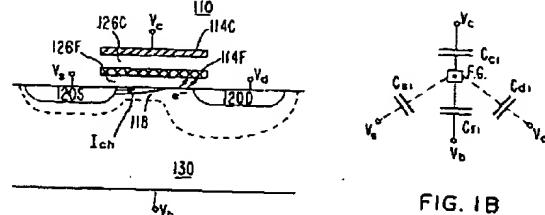


FIG. 1A

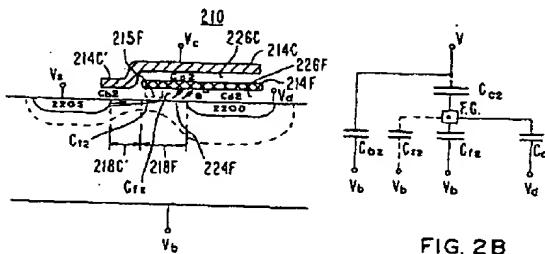


FIG. 2A

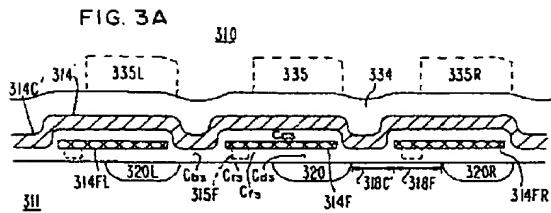


FIG. 3A

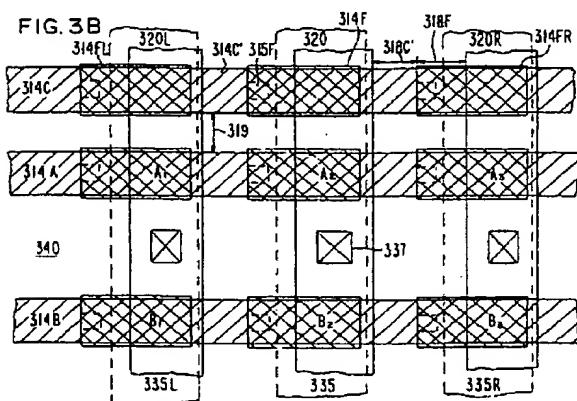


FIG. 3B

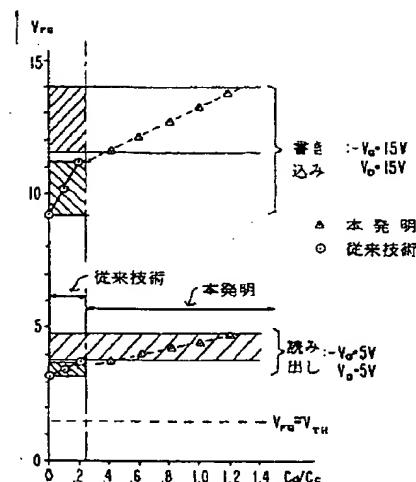


FIG. 4

特開昭57-50476(23)

FIG. 5A

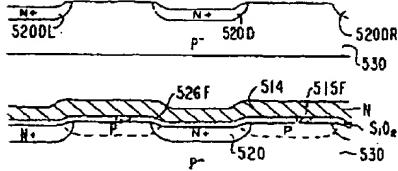


FIG. 5B

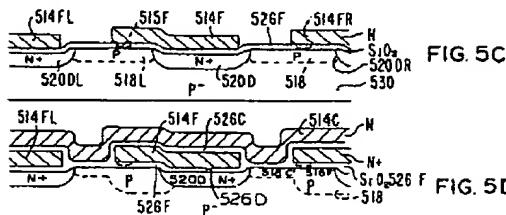


FIG. 5C

FIG. 5D

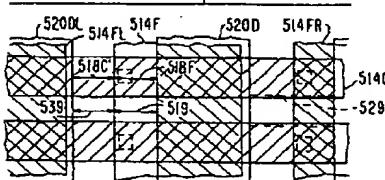


FIG. 5E

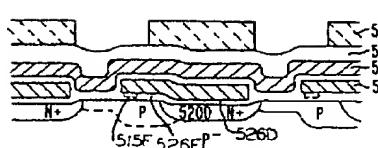


FIG. 5F

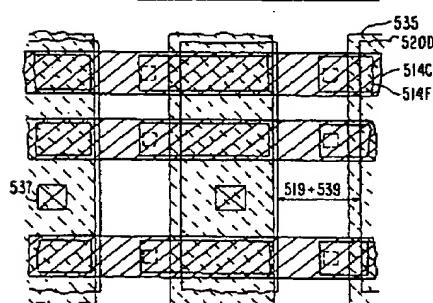
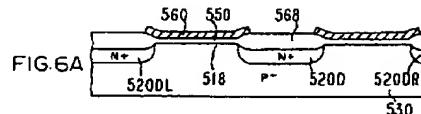


FIG. 5G

